

日本国特許庁
JAPAN PATENT OFFICE

17.9.2004

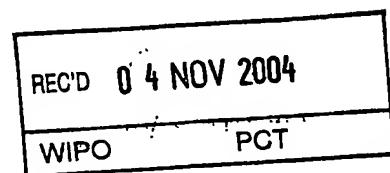
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 9月19日

出願番号
Application Number: 特願2003-327785

[ST. 10/C]: [JP2003-327785]



出願人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月21日

特許庁長官
Commissioner,
Japan Patent Office

小川

洋

【書類名】 特許願
【整理番号】 2110050052
【提出日】 平成15年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 H04N 5/445
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 山方 宗嗣
【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 幡野 貴久
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
【選任した代理人】
 【識別番号】 100103355
 【弁理士】
 【氏名又は名称】 坂口 智康
【選任した代理人】
 【識別番号】 100109667
 【弁理士】
 【氏名又は名称】 内藤 浩樹
【手数料の表示】
 【予納台帳番号】 011305
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9809938

【書類名】特許請求の範囲**【請求項1】**

アナログ出力のO S D信号を、デジタル変換後、時分割多重して入力し、O S D信号発生と時分割多重の基準クロックを、各々位相調整を行った水平同期信号でリセットすることを特徴とする、O S D挿入回路。

【請求項2】

デジタル映像信号入力と、前記デジタル映像信号入力のクロック信号と、P L Lを内蔵し所望周波数の基準クロックで制御を行いO S D信号をアナログ出力するO S D信号発生回路と、前記O S D信号発生回路の出力をデジタル変換するA／D変換回路と、前記A／D変換回路の出力を時分割多重する時分割多重回路と、前記時分割多重回路の出力データをデコードするデコード回路と、前記デコード回路の出力信号と前記デジタル映像信号入力とを切換えるスイッチ回路と、前記デジタル映像信号入力のクロック信号を4倍し前記O S D信号発生回路と前記時分割多重回路の制御信号を発生する制御信号発生回路から構成され、前記O S D信号発生回路の基準クロックと前記時分割多重回路の基準クロックを各々位相調整を行った水平同期信号でリセットすることで、A／D変換時のタイミングエラーを防止して、O S D信号をデジタル挿入することを特徴とするO S D挿入回路。

【請求項3】

前記制御信号発生回路で、前記デジタル映像信号入力のクロック信号を2倍して前記O S D信号発生回路と前記時分割多重回路の制御信号を発生することを特徴とする請求項2に記載のO S D挿入回路。

【書類名】明細書

【発明の名称】OSD挿入回路

【技術分野】

【0001】

本発明はテレテキストやユーザー調整用のメニュー等を映像信号に挿入して画面表示するOSD挿入回路に関するものである。

【背景技術】

【0002】

テレビやモニターにおいては、従来より使いやすさを向上させる為のセット状態表示や、ユーザー調整用画面表示、或いはテレテキスト画面表示等を行うOSD回路が導入されており、アナログ映像信号とアナログOSD信号との挿入に関しては色々な方法が提案されている。

【0003】

(例えば特許文献1参照。)

【特許文献1】特開平5-344438号公報(第3頁、第1図)

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら従来のような構成では映像信号、及び、OSD信号は共にアナログ信号であり、例えば映像信号がデジタル信号の場合は対応することができない。この為、デジタル制御を行うことが一般的な液晶テレビ等において、OSD挿入の為に、デジタル映像信号に対して本来不要な処理であるD/A変換を行い、OSD信号をアナログ挿入後、再度A/D変換を行う必要が生じ、コスト増、性能劣化の原因となるという課題があった。

【課題を解決するための手段】

【0005】

前記課題を解決するために本発明のOSD挿入回路は、アナログ出力のOSD信号を、デジタル変換後、時分割多重して入力し、OSD信号発生と時分割多重の基準クロックを、各々位相調整を行った水平同期信号でリセットすることにより、OSD信号のデジタル挿入を可能とするものである。

【発明の効果】

【0006】

本発明によれば、アナログ出力のOSD信号を、デジタル変換、時分割多重して入力する構成で、OSD信号発生と時分割多重の基準クロックを、各々を位相調整を行った水平同期信号でリセットすることでタイミングエラーを発生させずに信号を取り込み、映像信号とOSD信号のデジタル挿入を行うことが可能になる。付帯する効果として、デジタル制御のシステムにおいて、OSD挿入の為に、デジタル映像信号に対して本来不要な処理であるD/A変換を行い、OSD信号をアナログ挿入後、再度A/D変換を行う必要がなくなり、性能向上、及び、コストダウンが可能となる。

【発明を実施するための最良の形態】

【0007】

本発明の請求項1に記載の発明は、アナログ出力のOSD信号を、デジタル変換後、時分割多重して入力し、OSD信号発生と時分割多重の基準クロックを、各々位相調整を行った水平同期信号でリセットすることを特徴とし、OSD信号のデジタル挿入を可能にするという作用を有する。

【0008】

本発明の請求項2に記載の発明は、デジタル映像信号入力と、前記デジタル映像信号入力のクロック信号と、PLLを内蔵し所望周波数の基準クロックで制御を行いOSD信号をアナログ出力するOSD信号発生回路と、前記OSD信号発生回路の出力をデジタル変換するA/D変換回路と、前記A/D変換回路の出力を時分割多重する時分割多重回路と、前記時分割多重回路の出力データをデコードするデコード回路と、前記デコード回路の

出力信号と前記デジタル映像信号入力とを切換えるスイッチ回路と、前記デジタル映像信号入力のクロック信号を4倍して前記OSD信号発生回路と前記時分割多重回路の制御信号を発生する制御信号発生回路から構成され、前記OSD信号発生回路の基準クロックと前記時分割多重回路の基準クロックを各々位相調整を行った水平同期信号でリセットすることを特徴とし、A/D変換時のタイミングエラーを防止して、OSD信号をデジタル挿入を可能にするという作用を有する。本発明の請求項3に記載の発明は、請求項2のOSD挿入回路において、制御信号発生回路で、デジタル映像信号入力のクロック信号を2倍してOSD信号発生回路と前記時分割多重回路の制御信号を発生することを特徴とし、A/D変換時のタイミングエラーを防止して、映像信号とOSD信号のデジタル挿入を可能にするという作用を有する。

【0009】

(実施の形態1)

図1は本発明のOSD挿入回路の構成図の一例である。図2、3、4、5はOSD信号発生回路1の出力をA/D変換器2でデジタル変換する動作を示すタイムチャートである。図6は時分割多重回路3の動作を示すタイムチャートである。図7はデコード回路の動作を示したタイムチャートである。図1、及び、図2～図7を用いて、以下に具体的な動作を説明する。図1において、1はPLLを内蔵し所望周波数の基準クロックで制御を行い、RGBのOSD信号R_{osd}、G_{osd}、B_{osd}とスイッチ信号Y_{sosd}をアナログ出力するOSD信号発生回路、2はOSD信号発生回路1の出力をデジタル変換するA/D変換回路、3はA/D変換回路2の出力を時分割多重する時分割多重回路、4は時分割多重回路3の出力データをデコードするデコード回路、5はデコード回路4のデジタル出力信号R_{dec}、G_{dec}、B_{dec}とデジタル映像信号入力R_{in}、G_{in}、B_{in}とをデコード回路4の出力スイッチ信号Y_{sdec}により切換えるスイッチ回路、6はデジタル入力映像信号のクロック信号CLK_{in}を4倍しOSD信号発生回路1と時分割多重回路3の制御信号を発生する制御信号発生回路である。本発明の実施例では入力映像信号をデジタル規格の標準コンポーネントテレビ信号とし、クロック信号CLK_{in}の周波数を13.5MHzとする。OSD信号発生回路1の内部基準クロックOCLKは内蔵PLLにより発生するが、基準クロックOCLKのリセットを制御信号発生回路6で生成する水平同期信号H1により行う構成とする。基準クロックOCLKの周波数は、デジタル映像信号のクロック周波数CLK_{in}と同じ13.5MHzになるように設定する。時分割多重回路3には、時分割多重の基準となる水平同期信号H2と、入力デジタル映像信号のクロックCLK_{in}の周波数を4倍した周波数54MHzの制御クロックCLK_{mul}が、制御信号発生回路6から入力される。また、時分割多重回路3からは制御クロックCLK_{mul}を4分周した周波数13.5MHzのCLKadを、A/D変換器2のサンプリングクロックとして出力する。OSD信号発生回路1の出力をA/D変換器2で取込むタイミングの関係は前記水平同期信号H1の位相により変化する。水平同期信号H1はCLK_{mul}で制御され、CLK_{mul}の周期幅で位相調整可能とする。図2から図5は前記OSD信号発生回路の基準クロックをリセットする水平同期信号H1の位相をOSD発生回路1の内部基準クロックOCLKの1/4の周期幅ずつ、すなわち、CLK_{mul}の周期幅で位相調整した場合のOSD出力とA/D変換器間のタイムチャートを示している。このような周期幅で水平同期信号H1の位相調整を行うと図4のケースの様に4回に1回、OSD信号発生回路1の出力の変化点とA/D変換器2のサンプリングクロックの取込みタイミングが重なることとなる。この時、A/D変換器2での取込みにおいて、OSD信号発生回路1の出力ジッターの影響によるタイミングエラー発生の可能性が最も高くなる。そこでこれを防止する為に、水平同期信号H1の位相を、図2のケースの様に最もタイミングエラーの発生する可能性の高くなるポイントの中間に設定する。こうすることでA/D変換器2の入力ジッター許容量を増加させ、タイミングエラーを発生させずに信号を取込むことが可能となる。こうしてタイミングエラー発生を防止したA/D変換器2の出力は、時分割多重回路3で、制御信号発生回路6で生成する水平同期信号H2を基準にして時分割多重される。図6に示すように、A/D変換器2の出力信号R_{ad}、G

a d、B a d、Y s a dの各信号を、水平同期信号H 2を基準にして発生する選択パルスR o n、G o n、B o n、Y s o nにより時分割4多重する。時分割多重回路3の出力M Oは図7に示すように、デコード回路4でデコードされ、位相調整を行い、R d e c、G d e c、B d e c、Y s d e cが出力される。スイッチ回路5ではスイッチ信号Y s d e cの値に応じて、デコード回路4の出力デジタルO S D信号R d e c、G d e c、B d e cとデジタル映像信号入力R i n、G i n、B i nとを切換えることにより、信号挿入を行う。このような構成をとることにより、タイミングエラーを発生させずに映像信号とO S D信号のデジタル挿入を行うことが可能になる。尚、本発明の実施例では入力デジタル映像信号、及び、O S D信号発生回路出力信号をR G B信号としたが、Y U V信号であっても構わない。

【0010】

(実施の形態2)

図8は実施の形態2におけるO S D挿入回路であり、入力デジタル映像信号のクロック信号C L K i nの周波数を2 7 M H zとし、O S D信号発生回路1の内部基準クロックO C L K周波数を、デジタル映像信号のクロック周波数C L K i nの1/2と同じ1 3. 5 M H zになるように設定する。時分割多重回路3には、時分割多重の基準となる水平同期信号H 2と、入力デジタル映像信号のクロックC L K i nの周波数を2 遍倍した周波数5 4 M H zの制御クロックC L K m u lが、制御信号発生回路6から入力される。かかる構成で、デジタル映像信号のクロック周波数が高い場合にもタイミングエラーを発生させずに映像信号とO S D信号のデジタル挿入を行うことが可能になる。例えば、本実施例のようにデジタル映像信号のクロック信号C L K i nが2 7 M H zの場合、実施の形態1においては、制御信号6で発生する映像信号入力クロックの4 遍倍周波数は1 0 8 M H zと高くなる為、回路実現が困難な場合がある。このような場合に映像信号のクロック信号の2 遍倍クロックで制御を行う本実施の形態2が有効である。但し、この場合はO S D信号の解像度は映像信号の解像度に対して1/2になる。

【産業上の利用可能性】

【0011】

本発明にかかるO S D挿入回路は、アナログ出力のO S D信号を、デジタル変換、時分割多重して入力する構成で、O S D信号発生と時分割多重の基準クロックを、各々を位相調整を行った水平同期信号でリセットすることでタイミングエラーを発生させずに信号を取り込み、映像信号とO S D信号のデジタル挿入を行うことが可能になり、さらにデジタル制御のシステムにおいて、O S D挿入の為に、デジタル映像信号に対して本来不要な処理であるD/A変換を行い、O S D信号をアナログ挿入後、再度A/D変換を行う必要がなくなり、性能向上、及び、コストダウンをも可能になるものであり、テレテキストやユーザー調整用のメニュー等を映像信号に挿入して画面表示するO S D挿入回路等において有用である。

【図面の簡単な説明】

【0012】

【図1】本発明の発明実施の形態1のO S D挿入回路のブロック図

【図2】O S D信号発生回路とA/D変換器の動作を示したタイムチャート

【図3】O S D信号発生回路とA/D変換器の動作を示したタイムチャート

【図4】O S D信号発生回路とA/D変換器の動作を示したタイムチャート

【図5】O S D信号発生回路とA/D変換器の動作を示したタイムチャート

【図6】時分割多重回路の動作を示したタイムチャート

【図7】デコード回路の動作を示したタイムチャート

【図8】本発明の発明実施の形態2のO S D挿入回路のブロック図

【符号の説明】

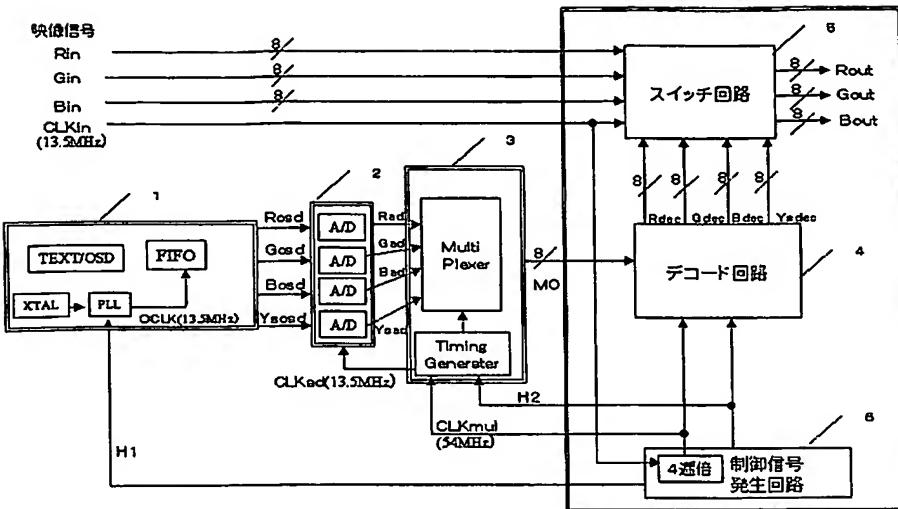
【0013】

1 O S D信号発生回路

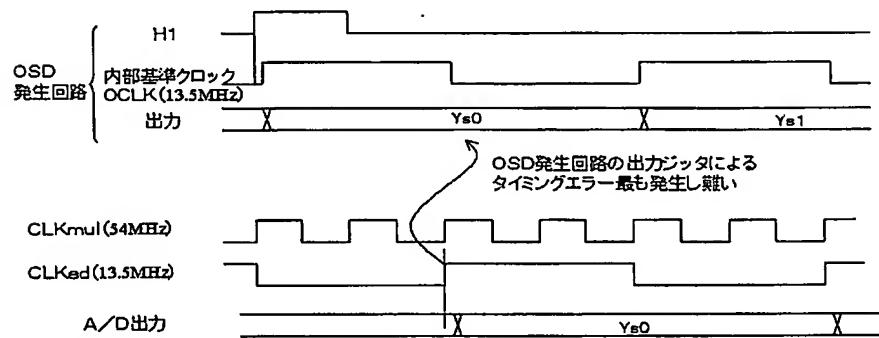
2 A/D変換器

- 3 時分割多重回路
- 8 テレテキスト信号発生回路

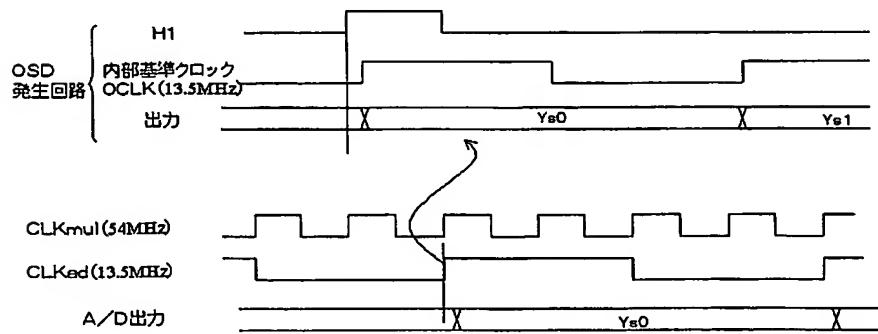
【書類名】図面
【図 1】



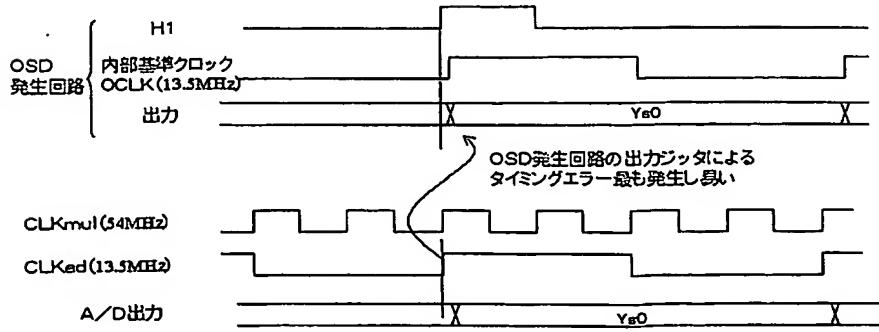
【図 2】



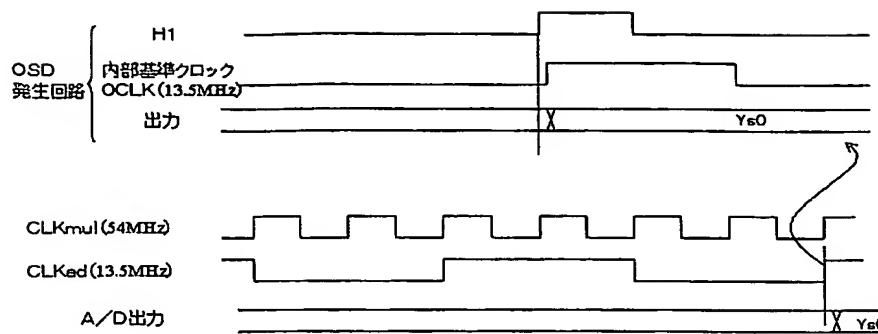
【図 3】



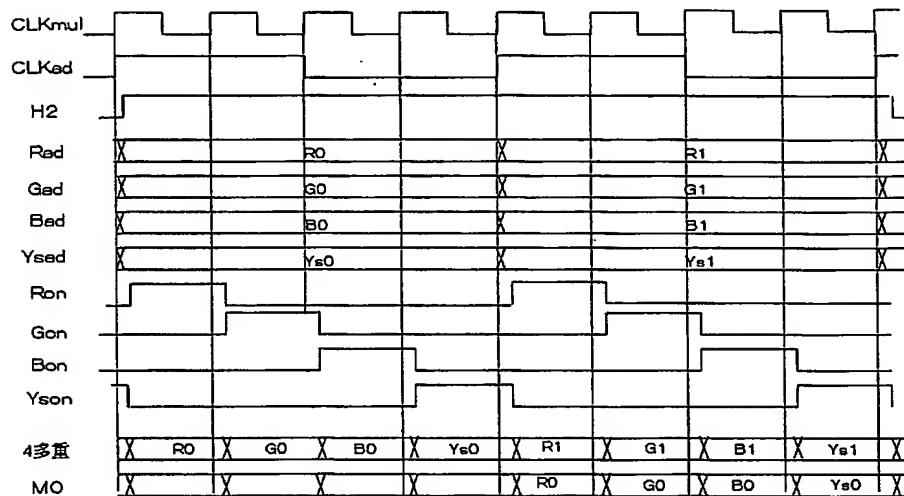
【図 4】



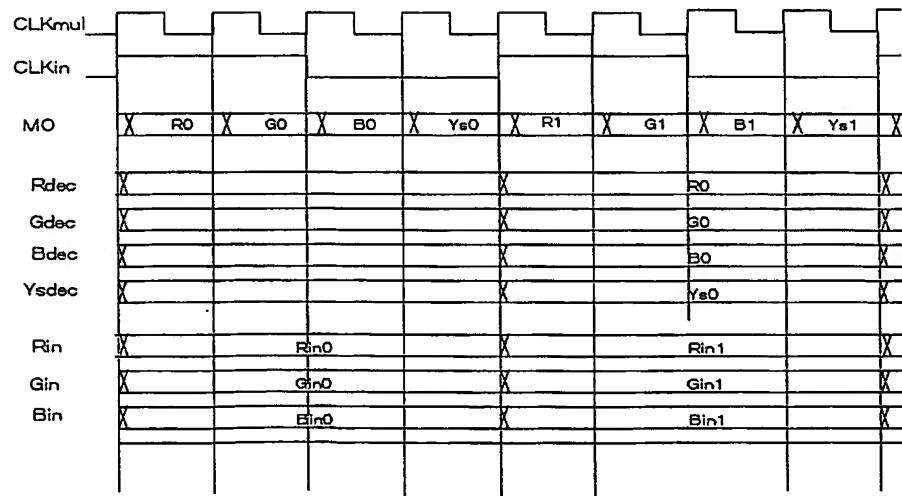
【図 5】



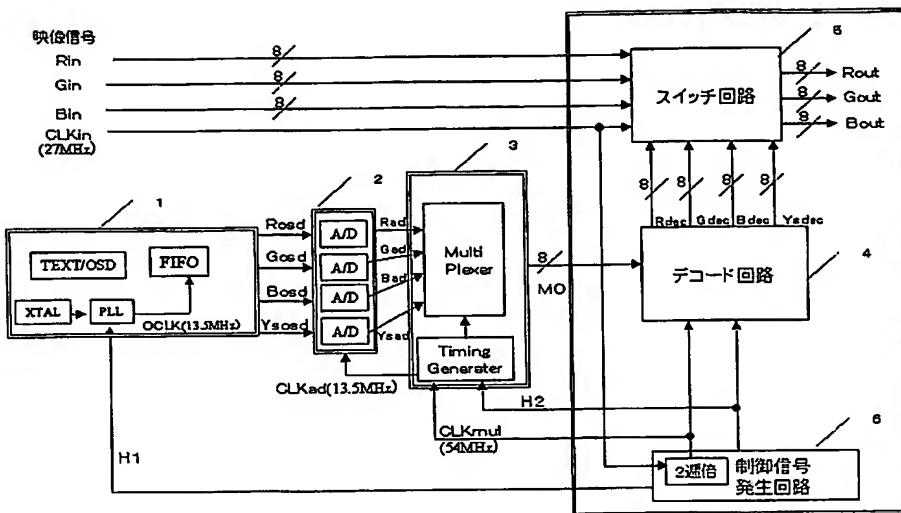
【図 6】



【図 7】



【図 8】



【書類名】要約書

【要約】

【課題】 アナログ出力のO S D信号をデジタル映像信号に挿入することを目的とする。

【解決手段】 アナログ出力のO S D信号を、デジタル変換、時分割多重して入力する構成で、O S D信号発生と時分割多重の基準クロックを、各々を位相調整を行った水平同期信号でリセットすることでタイミングエラーを発生させずに信号を取り込み、映像信号とO S D信号のデジタル挿入を行い、O S D挿入の為にデジタル映像信号に対して本来不要な処理であるD/A変換、A/D変換をなくし、性能向上、及び、コストダウンを可能とする。

【選択図】 図1

【書類名】 手続補正書
【提出日】 平成15年10月31日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003-327785
【補正をする者】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100097445
 【弁理士】
 【氏名又は名称】 岩橋 文雄
 【電話番号】 03-3434-9471
【手続補正1】
 【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更
【補正の内容】
 【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 山方 崇嗣
 【発明者】
 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 【氏名】 幡野 貴久
【その他】 本件出願の発明者は、正しくは、山方 崇嗣と幡野 貴久の2名です。そのうち1名の山方 崇嗣を、特許出願の際に誤って「山方 宗嗣」と記載してしまいました。正しくは、「山方 崇嗣」であります。従いまして、本件出願につきまして、補正したいと思ひますのでよろしくお願ひいたします。

特願 2003-327785

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社